

**WAFER LEVEL CSP**

Patent Number: JP2002261192

Publication date: 2002-09-13

Inventor(s): KIMURA NORIYUKI

Applicant(s): SEIKO INSTRUMENTS INC

Requested Patent: ■ JP2002261192

Application Number: JP20010057277 20010301

Priority Number(s):

IPC Classification: H01L23/12; H01L21/304; H01L21/306; H01L21/312; H01L21/56; H01L21/768; H01L21/60

EC Classification:

Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a thin-type CSP capable of being assembled at wafer level.**SOLUTION:** An electrical connection between a front and a back side of a wafer is made by utilizing a side surface of a through hole formed at a specific point on a scribe line of the wafer, and electrodes for a board mounting are placed on the back side of the wafer. The through hole is formed by polishing the back side of the wafer until a concavity bottom face is disappeared after forming the concavity by half-etching on the scribe line of the wafer.

---

Data supplied from the esp@cenet database - I2

---

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-261192

(P2002-261192A)

(43)公開日 平成14年9月13日 (2002.9.13)

(51)Int.Cl.<sup>7</sup>

H 01 L 23/12  
21/304  
21/306  
21/312  
21/56

識別記号

5 0 1  
6 3 1

F I

H 01 L 23/12  
21/304  
21/312  
21/56  
21/306

テ-マ-コ-ド(参考)

5 0 1 P 5 F 0 3 3  
6 3 1 5 F 0 4 3  
B 5 F 0 5 8  
R 5 F 0 6 1  
F

審査請求 未請求 開求項の数 8 O L (全 5 頁) 最終頁に続く

(21)出願番号

特願2001-57277(P2001-57277)

(22)出願日

平成13年3月1日 (2001.3.1)

(71)出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72)発明者 木村 紀幸

千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

(74)代理人 100096378

弁理士 坂上 正明

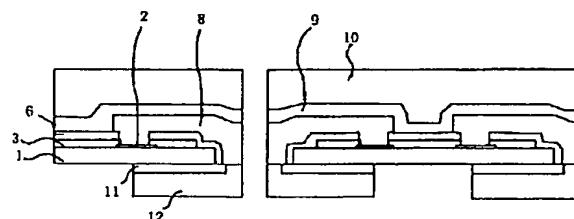
最終頁に続く

(54)【発明の名称】 ウエハレベルC S P

(57)【要約】 (修正有)

【課題】 ウエハレベルで組立て可能な薄型C S Pを提供する。

【解決手段】 ウエハのスクライブライン上の特定箇所に形成したスルーホールの側面を利用して、ウエハ表裏間の電気接合を取り、前記ウエハの裏面側に基板実装用の電極を配置する。前記スルーホールは、前記ウエハの前記スクライブライン上をハーフエッチングして凹部を形成した後その凹部底面が消失するまで前記ウエハを裏面研磨することによって形成する。



1

2

## 【特許請求の範囲】

【請求項1】 半導体基板の裏面に基板接合用の電極を有することを特徴とするウエハレベルCSP。

【請求項2】 前記電極が,スルーホールの側面を通して半導体回路の電極と電気接合をとることを特徴とする請求項1に記載のウエハレベルCSP。

【請求項3】 前記スルーホールがスライブラインにあることを特徴とする請求項2に記載のウエハレベルCSP。

【請求項4】 前記スルーホールが,エッチングなどの方法で形成された凹部をバックグラインドで裏面研削することで形成されることを特徴とする請求項2に記載のウエハレベルCSP。

【請求項5】 前記スルーホールの側面に形成される膜が絶縁膜と金属膜の2層構造であることを特徴とする請求項2に記載のウエハレベルCSP。

【請求項6】 スルーホールが半導体基板のアクティブ領域にあることを特徴とする請求項2に記載のウエハレベルCSP。

【請求項7】 前記スルーホールが,エッチングなどの方法で形成された凹部をバックグラインドで裏面研削することで形成されることを特徴とする請求項2に記載のウエハレベルCSP。

【請求項8】 前記スルーホールの側面に形成される膜が絶縁膜と金属膜の2層構造であることを特徴とする請求項2に記載のウエハレベルCSP。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体素子を収納する小型パッケージに関するものである。

## 【0002】

【従来の技術】 携帯電話,デジタルカメラなど電子携帯機器は,小型,軽量化のニーズが高く,電子機器を構成する電子部品は,より小さく,より薄く,より軽いものが要求される。現在,小型携帯電子機器において,BGA,CSPといった小型パッケージが適用されており,今後,ペアチップ実装あるいはウエハレベルで組立が可能なチップスケールの超小型パッケージが導入されることが予想される。特に,ウエハレベルで形成されるCSPチップサイズパッケージ、またはチップスケールパッケージは,BGA,CSPと同程度の信頼性を有し,ペアチップよりも取り扱いが容易であるため,次世代のパッケージとして注目される。

【0003】 代表的なウエハレベルCSPの断面構造を図5に示す。その製造方法は,次に示すプロセスで製造される。ウエハプロセスが終了した半導体基板15をバックグラインドで500μm程度まで研削し,半導体基板15上にポリイミドなどの保護膜17を形成し,電極パッド16および他の必要部分を開口させる。次に銅の再配線層18をメッキ法によって形成し,電極をアレイ状に再配置す

る。外部接続用の電極を形成するためメッキ法で銅ポスト19を形成し,次に,モールド樹脂20を封止する。最後に基板実装用のバンプ電極21をボールマウンターもしくはスクリーン印刷で形成する。従来は,以上的方法で,ウエハレベルのCSPの製造が行なわれてきた。

## 【0004】

【発明が解決しようとする課題】 しかし,前記ウエハレベルCSPにおいては,外部接続用の電極を形成するために,銅のポストを形成させる必要がある。銅ポストは,バンプ電極または実装基板と接続するためポスト面は完全に銅を露出させる必要があるが,銅ポストは,メッキ形成されるためポストのバラツキが生じ,ポスト面にモールド樹脂が付着し半田ボールとの接合信頼性が低下する問題が生じる。また,ポストのバラツキを吸収するためには,モールド装置のトランスファ圧力を高精度にし,さらに特殊フィルムを使用する必要があり,パッケージの製造コストが高くなってしまうという問題が生じる。さらに,銅ポストがモールド樹脂の流動抵抗となり樹脂がウエハ面上に均一に拡がらず,樹脂の未充填が生じ,組立歩留りが低下する問題を引き起す。

【0005】 また,基板接合用のバンプ電極はモールド樹脂封止側の銅ポスト上に形成するためバンプ電極の形成は,電解メッキ法が使用できず,ボールマウントあるいはスクリーン印刷法により行われる。そのため,100μm以下の狭ピッチバンプ電極の形成は困難になる。

【0006】 本発明のウエハレベルCSPは,基板接合用の電極をウエハ裏面に形成し,銅ポストを使用しない構造である。また,基板実装用の電極がモールド封止面にないため,上記課題をすべて解消することができる。

## 【0007】

【課題を解決するための手段】 本発明のウエハレベルCSPは,ウエハ裏面側に基板実装用の電極を有し,その構造は,スライブライン上の特定箇所に形成したスルーホールの側面を利用して,ウエハ表裏間の電気接合をとることで実現する。スルーホールはシリコン基板のスライブライン上をハーフエッチングした凹部をバックグラインドを用いて裏面研磨することで形成される。

## 【0008】

【作用】 前記手段によって,樹脂封止を行う半導体回路側には,基板接続用の電極が存在しないため,銅ポスト形成が不要で,さらに特殊フィルムを使用する必要がない。ポストによる樹脂の流動抵抗もなくなり,モールド時の未充填不良が解消される。また,基板接続用の電極がモールド封止面にないため,バンプ形成は,半田ボールマウント,スクリーン印刷法のほか電解メッキ法が適用でき,100μm以下の狭ピッチ対応のバンプ形成が可能になる。

## 【0009】

【発明の実施の形態】 次に,本発明の実施例を図面を参考しながら説明する。図1は,本発明の第1実施例を表し

た上面図で、図2から図4は断面図である。第1実施例のウエハレベルCSPの構造を図面を参照しながら説明する。

【0010】パッケージ組立に用いられる半導体回路形成後のウエハは、図2(a)に示すように、半導体基板1に電極パッド2が形成され、電極パット2の上層にチッ化シリコンなどの保護膜3が電極パッド2およびスクライブライン4上を除く部分に形成した形態とする。

【0011】第1の工程は、図2(b)に示すようにスクライブラインエリアの特定箇所にハーフエッチング箇所5を選択的にウェットエッチングし、約50~100μm深さの凹部を形成する。

【0012】次に図2(c)に示すようにポリイミドなどの絶縁膜6をウエハ全面に形成し、図2(d)に示すように電極パッド2およびスクライブライン上のハーフエッチング箇所5を選択的に開口させる。

【0013】次に、2000Å~5000Å厚さの銅をスパッタリングにより成膜した後、図3(a)に示すようにレジスト7を所望形状にバターニングし、図3(b)に示す厚さ約20~50μm程度の銅、アルミなどの金属配線層8をメッキ法によって形成させ、その上層に必要に応じて、ポリイミドなどの絶縁層9を全面に形成させる。

【0014】次に図3(c)に示すように半導体回路の保護、パッケージのハンドリング、放熱性などを向上させる目的でトランスファモールドあるいはボッティングなどで厚さ30μm~100μm程度のモールド樹脂10を半導体回路側全面に封止する。

【0015】次に、図3(d)に示すようにシリコン基板1を実装用途に従い、厚さ20μm~200μmにバックグランドする。

【0016】次に図4(a)に示すように、半導体基板1の研削面にポリイミドなどの絶縁膜11を成膜した後、所望形状にバターニングする図4(b)。次に、銅などの金属膜をウエハ裏面全面にスパッタなどの方法で成膜した後、レジストバターニングし、図4(c)に示すように厚さ10~50μm程度の電極パッド12を半導体基板1の裏面にメッキなどの方法で形成する。

【0017】最後に、図5に示すようにスクライブラインの中心をスクライブ幅の50%程度の切りしろでダイシングしパッケージを個片にする。上述の方法で、半導体基板1の裏面に実装用の電極パッド12するウエハレベルのパッケージを提供することができる。

【0018】次に、本発明の第二の実施例について説明する。図6は、本発明の第2実施例を表した断面図である。半導体基板1の表面の一部に電極パッド2を形成し、電極パッド2の周囲に保護膜3と、保護膜3の上に絶縁膜6が形成され、最上層に絶縁膜9が形成されている。そして半導体基板1の裏面の一部に、絶縁膜11と電極パッドが形成されている。図6に示すように、第2の実施例は、モールド樹脂封止を行なわない構造のため、

パッケージの厚さを100μm以下にすることができ、ICカードなど用途に対応することができる。

【0019】次に、本発明の第3の実施例について説明する。図7は、本発明の第3の実施例を表した断面図である。図7に示すように、第3の実施例は、ウエハ裏面の実装用電極パッドにボールマウント法、スクリーン印刷法ほか電界メッキ法によってバンプ電極13が形成できるため、100μm以下の狭ピッチのバンプ形成を可能にする。この時は、ウエハ裏面に形成した絶縁膜をエラストマなどの緩衝材14を代替えに使用すると実装基板とバンプ間の応力を吸収し、実装時の信頼性が向上する。

【0020】

【発明の効果】本発明のウエハレベルCSPは、外部接続用の電極を形成するための銅のポストを形成させる必要がなく、ポストのバラツキを吸収させるためのモールド装置の改良、特殊フィルムの使用する必要がなくなり、パッケージの製造コストが低くできる。銅ポストがないためモールド樹脂が流動抵抗を受けずにウエハ面上に均一に拡がるため、樹脂の未充填が生じず、組立歩留りが向上する。また、基板接合用のバンプはモールド樹脂封止面側にないため、電解メッキ法によるバンプ形成ができ、100μm以下の狭ピッチバンプ電極の形成が可能になる。

【図面の簡単な説明】

【図1】第一の実施例の半導体装置の上面図。

【図2】第一の実施例の半導体装置の断面図。

【図3】第一の実施例の半導体装置の断面図。

【図4】第一の実施例の半導体装置の断面図。

【図5】第一の実施例の半導体装置の断面図。

【図6】第二の実施例の半導体装置の断面図。

【図7】第三の実施例の半導体装置の断面図。

【図8】従来のウエハレベルCSPの断面図。

【符号の説明】

- 1……半導体基板
- 2……電極パッド
- 3……保護膜
- 4……スクライブエリア
- 5……ハーフエッチング箇所
- 6……絶縁膜
- 7……レジスト
- 8……金属配線層
- 9……絶縁層
- 10……モールド樹脂
- 11……絶縁膜
- 12……電極パッド
- 13……バンプ電極
- 14……緩衝材
- 15……半導体基板
- 16……電極パッド
- 17……保護膜
- 18……再配線層

(4)

特開2002-261192

5

6

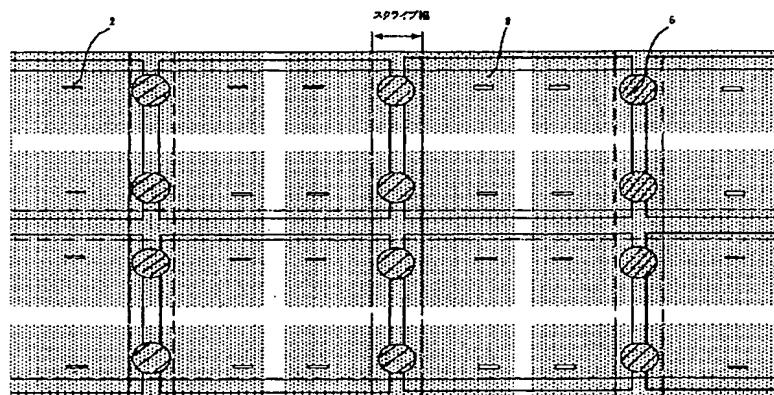
19………銅ポスト  
20………モールド樹脂

\*

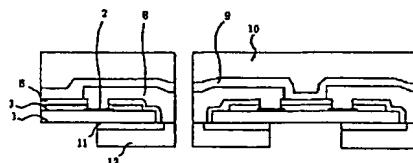
\*21………バンブ電極

\*

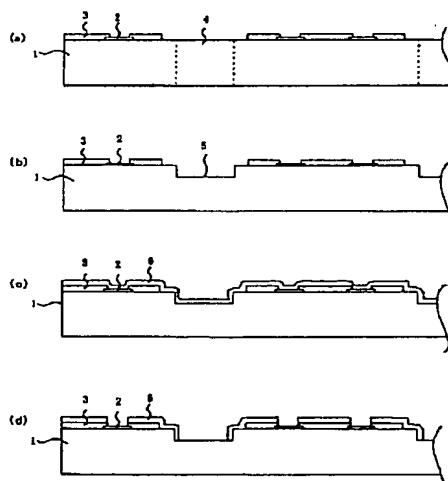
【図1】



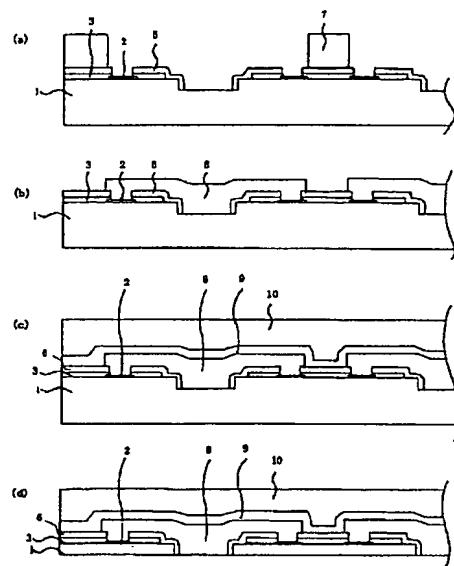
【図5】



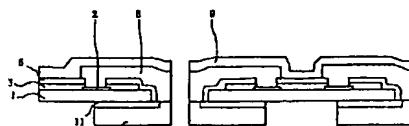
【図2】



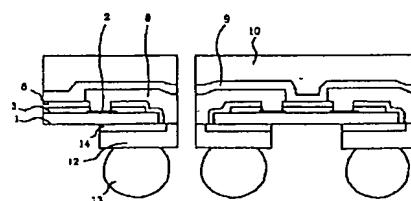
【図3】



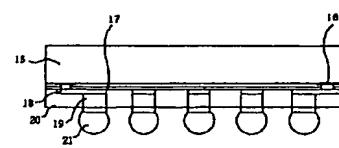
【図6】



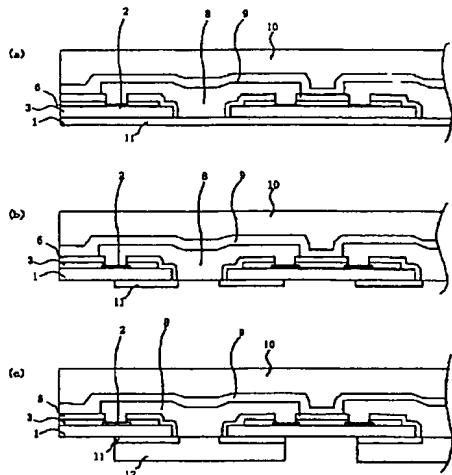
【図7】



【図8】



【図4】




---

フロントページの続き

(51)Int.Cl.  
H 01 L 21/768  
21/60

識別記号

F I  
H 01 L 21/90  
21/92

マーク (参考)

B  
604M  
604A  
604R

F ターム(参考)  
SF033 HH08 HH11 JJ01 JJ08 JJ11  
KK08 KK11 MM30 PP27 QQ07  
QQ09 QQ37 QQ47 RR22 TT07  
VV07 XX34  
SF043 AA01 FF06 GG03  
SF058 AA10 AB10 AC02 AH05  
SF061 AA02 BA07 CA04 CA21 FA06